

DERWENT-ACC-NO: 1987-011109

DERWENT-WEEK: 198702

COPYRIGHT 1999 DERWENT INFORMATION LTD

TITLE: Semiconductor device with capacitive
elements - comprises dielectric material or
depletion layer between back surface of semiconductor chip
and lead frames NoAbstract Dwg 1,2/8

PATENT-ASSIGNEE: HITACHI LTD [HITA]

PRIORITY-DATA: 1985JP-0110318 (May 24, 1985)

PATENT-FAMILY:

PUB-NO	PAGES	PUB-DATE	MAIN-IPC	
LANGUAGE				
JP 61269317 A	005	November 28, 1986		N/A
	N/A			

APPLICATION-DATA:

PUB-NO	APPL-DATE	APPL-DESCRIPTOR	APPL-NO
APPL-DATE			
JP 61269317A		N/A	
1985JP-0110318		May 24, 1985	

INT-CL (IPC): H01L021/50, H01L023/56

ABSTRACTED-PUB-NO:

EQUIVALENT-ABSTRACTS:

DERWENT-CLASS: U11

EPI-CODES: U11-D03A9;

⑫公開特許公報(A) 昭61-269317

⑬Int.Cl.
H 01 L 21/50
23/56識別記号
厅内整理番号
6732-5F
6732-5F

⑭公開 昭和61年(1986)11月28日

審査請求 未請求 発明の数 1 (全4頁)

⑮発明の名称 容量素子を有する半導体装置

⑯特 願 昭60-110318

⑰出 願 昭60(1985)5月24日

⑱発明者 帆足 正明 高崎市西横手町111番地 株式会社日立製作所高崎工場内

⑲出願人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑳代理人 弁理士 小川 勝男 外1名

明細書

発明の名称 容量素子を有する半導体装置

特許請求の範囲

1. 半導体チップと、上記チップが支持されたりードフレームと、上記チップの全部及びリードフレームの一部を包囲するパッケージ部材とからなる半導体装置であって、上記半導体チップの裏面とリードフレームとの間に誘電物質又は空乏層を介在させることを特徴とする容量素子を有する半導体装置。
2. 上記半導体チップの裏面とリードフレームとの間に誘電物質として半導体酸化膜を介在させた特許請求の範囲第1項に記載の容量素子を有する半導体装置。
3. 上記半導体チップの裏面側にp-n接合を形成することにより空乏層を介在させた特許請求の範囲第1項に記載の容量素子を有する半導体装置。
4. 上記容量素子は対グラント容量として使用されている特許請求の範囲第1項に記載の容量素子を有する半導体装置。

発明の詳細な説明

〔技術分野〕

本発明は半導体装置内に容量素子を構成する技術に関する。

〔背景技術〕

半導体回路中に容量素子(キャパシタンスあるいはコンデンサともいう)を使用する場合、半導体チップの外付け部品としてセラミックコンデンサ半導体コンデンサが用いられることが知られている。(工業調査会電子材料1980年4月P156, 157)

しかし、外付けによる容量素子はその大きさがチップサイズにも匹敵し、それらの間の結線作業のために余分の手間がかかる欠点がある。これに対し、半導体チップ内で容量素子を構成する場合にはチップの表面の一部にp-n接合やMOSを利用する方法がある。

第7図はこれまでのp-n接合を利用した半導体容量素子の一例を示す。1はP型半導体(Si)基板、2は絶縁膜(SiO₂)、3A, 3BはAl

配線を示す。4はn型エピタキシャル層、5はこのn型層4の表面に形成したp型拡散層、6はAl配線3Bにコンタクトをとるためのn+型拡散層を示す。

このような半導体装置の一部として形成された容量素子において、p型拡散層5とn+型拡散層6との間に逆バイアス電圧を印加すると、p型層5とn型層の拡散面にそれぞれに空乏層7を生じ、ここにこの空乏層を誘電体とする容量を構成することができる。

しかし、容量素子における静電容量値は電極の面積に比例するため、限られた半導体チップ表面に大容量の接合容量素子を組込むことは困難である。

第8図はMOS構造を利用した容量素子の一例を示す。

1はp型半導体基板、2は絶縁膜(SiO₂)、3A、3BはAl配線、6はn型エピタキシャル層4とAl配線3Bのコンタクトをとるためのn+型拡散層である。このような構造において、Al

容量の容量素子を構成するものである。

(実施例1)

第1図乃至第2図は本発明の一実施例を示すものであって、このうち、第1図は容量素子を有する半導体装置の全体斜面図、第2図は第1図におけるA-A視断面図である。

11は半導体ICチップであって、たとえばSi(シリコン)基板11の表面にトランジスタなどの半導体素子12が形成され、その表面上に配線されたAl(アルミニウム)電極(図示されない)配線によってIC回路が構成される。13はリードフレームの一部である金属タブであって、タブリード14によって釣られる。15は絶縁膜、たとえば半導体酸化膜(SiO₂)でSi基板(チップ)11の裏面を酸化して得られる。16は導電性を有する接着剤でたとえばAu(金)-Si共晶体又は銀ペーストからなり、Siチップとリードフレームとの間を接着固定する。

このように形成された半導体装置において、半導体チップ基板11はIC素子の場合、通常GND

配線3Aとn+型拡散層6ではさまれた絶縁膜2を誘電体として容量素子を構成することができる。

しかし、このような容量素子においても前記の例と同様の理由により、大容量のMOS容量素子を組込むことは困難である。

(発明の目的)

本発明は上記した問題を解決するためになされたものであり、その目的とするところは、半導体チップと一体的に形成され、しかも大容量素子として使用できる半導体装置を提供することにある。

(発明の概要)

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記のとおりである。

すなわち、半導体チップと、このチップが支持されたリードフレームと、上記チップの全部及びリードフレームの一部を包囲するパッケージ部材とからなる半導体装置において、上記半導体チップの裏面とリードフレームとの間に半導体酸化膜を介在させ、あるいはPn接合をつくることで空乏層を介在させることで半導体チップと一体で大

(接地)ラインに接続されているため、導電性の接着材を通じてリードフレーム13にはさまれた絶縁物酸化膜15が誘電体となって、半導体基板11とリードフレーム13を両電極としてMOS容量素子(キャパシタンス)を構成することができる。この場合、リードフレームの他のリード群と半導体チップ裏面のIC回路の電極群とはワイヤボンディング手段又は共通のリードフレームを通じて電気的に接続される。

(発明の効果)

静電容量は電極間の面積に比例するものであり、半導体チップ裏面の最大面積を利用してためチップと一体であって、大容量のキャパシタンスが構成でき、電気特性上の多目的効果を有する。半導体表面のIC回路の電源ラインに接続すれば、外付の対グラント容量が不要となり、ノイズ吸収用として大きな効果を有する。

(実施例2)

第3図は本発明の他の一実施例を示す断面図である。

この実施例では、前掲実施例1(第1図、第2図)の半導体チップにおいて、p型Si基板11と絶縁膜15との間に高濃度のp⁺型拡散層17を形成したものである。このようなp⁺型拡散層を設けることにより、半導体チップ裏面側の電気抵抗を小さくして、キャパシタンスの直列抵抗分を減らしたものである。

〔実施例3〕

第4図は本発明の他の一実施例を示す断面図である。この実施例ではチップのp⁻型基板の裏面側に反対導電型のn型拡散層18を形成し、第1図、第3図の場合と同様な導電性接着材16でリードフレーム13に固定したものである。

このように構成された半導体装置において、IC素子の場合p⁻型基板11は通常GNDラインに接続されており、基板電位は最も低い電位となっている。このためn⁺型拡散層18に接続されたりードフレーム13に正電圧を印加することにより、p型基板11とn型拡散層18は逆バイアスされ、p-n接合にそって生じる空乏層によりこの

リードフレーム13上に固定することにより、半導体基板11と、リードフレーム13との間でキャパシタンス(容量素子)を構成する。

〔実施例5〕

第6図は本発明の他の一実施例を示す断面図である。

11は半導体チップ、13はリードフレーム、20は誘電性の接着膜であって、この誘電性接着膜により半導体チップとリードフレームとの間でキャパシタンスを構成できる。

〔利用分野〕

本発明はリードフレームを用いる半導体装置に適用することができ、IC、単体素子を問わずに利用することができる。

図面の簡単な説明

第1図、第2図は本発明の一実施例を示し、このうち第1図は半導体装置の斜面図、第2図は同A-A'視断面図である。

第3図～第6図は本発明の他の各実施例を示す断面図である。

空乏層を誘電体としてキャパシタンス(容量)を構成する。この場合、n⁺型拡散層18に接するp型基板11に、第3図のp⁺型拡散層17と同様にp⁺型拡散層を設けることにより、キャパシタンスの容量値の増大と直列抵抗分を減らすことができる。このキャパシタンスはチップの裏面を全面使用するため大容量として使用することができる。

〔実施例4〕

第5図は本発明の他の一実施例を示す断面図である。

13はリードフレーム、19はリードフレーム13の表面に形成した誘電性物質であって、鉄、銅などの金属からなるリードフレームの表面を酸化することにより、SiO₂などをデポジットすることにより、Si等をデポジットして酸化することにより、あるいはポリイミド系樹脂などを塗布することにより形成することができる。

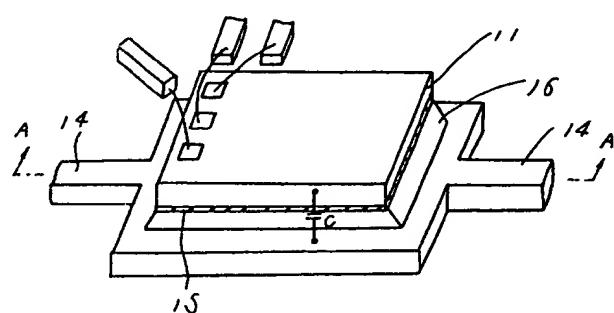
11は半導体チップであり、導電性接着剤16を用いて誘電性物質膜19の形成されたリードフ

レーム13上に固定することにより、半導体基板11と、リードフレーム13との間でキャパシタンス(容量素子)を構成する。

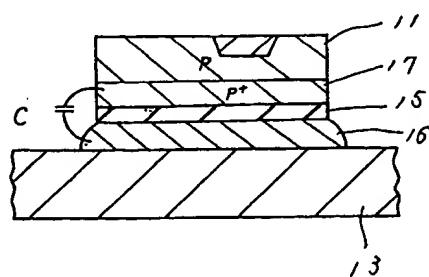
11…半導体チップ、12…素子、13…リードフレーム、14…タブ釣りリード、15…絶縁膜、16…接着部材、17…p⁺型拡散層、18…n⁺型拡散層、19…絶縁膜。

代理人 弁理士 小川勝男

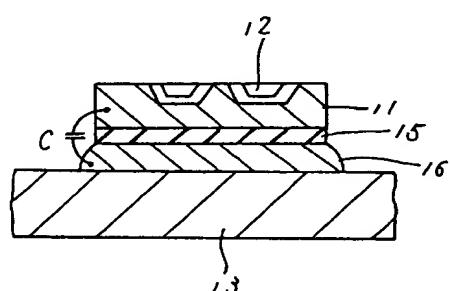
第 1 図



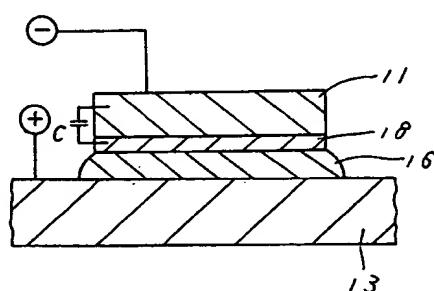
第 3 図



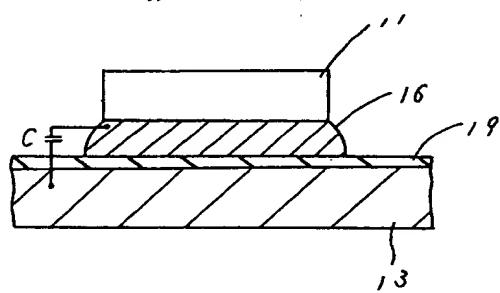
第 2 図



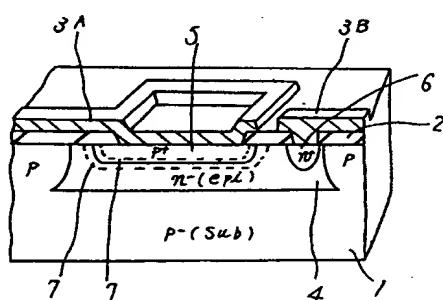
第 4 図



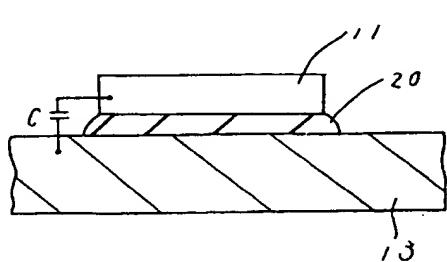
第 5 図



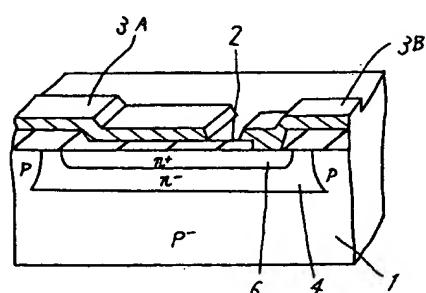
第 7 図



第 6 図



第 8 図



PAT-NO: JP361269317A
DOCUMENT-IDENTIFIER: JP 61269317 A
TITLE: SEMICONDUCTOR DEVICE WITH CAPACITIVE ELEMENT
PUBN-DATE: November 28, 1986

INVENTOR-INFORMATION:

NAME
HOASHI, MASAAKI

ASSIGNEE-INFORMATION:

NAME	COUNTRY
HITACHI LTD	N/A

APPL-NO: JP60110318

APPL-DATE: May 24, 1985

INT-CL (IPC): H01L021/50, H01L023/56

US-CL-CURRENT: 257/E21.499

ABSTRACT:

PURPOSE: To make it possible to constitute a large capacity capacitance by providing a dielectric material or empty layer between the back surface of a semiconductor chip and the lead frame.

CONSTITUTION: A semiconductor element 12 such as transistor is formed on the surface of a Si substrate 11, and an IC circuit is formed on the surface of it with Al electrode wiring. Then, the Si chip and a lead frame 13 are adhered and fixed with conductive adhesive 16. By doing this, it

made possible to constitute a MOS capacitive element, with an insulative film 15 connected with the lead frame 13 through a conductive adhesive 16 as a dielectric body and the semiconductor substrate 11 and the frame 13 as the both electrodes.

COPYRIGHT: (C) 1986, JPO&Japio